

十一、研究計畫中英文摘要：請就本計畫要點作一概述，並依本計畫性質自訂關鍵詞。

(一) 計畫中文摘要。(五百字以內)

本計畫預計在靜態時序分析(Statistic Timing Analysis)的工具中加入正規驗證(Formal Verification)的理論，提出一套創新的「正規靜態時序分析」(“Formal Static Timing Analysis, FSTA”)演算法。我們的目的是擷取 STA 原有的優點，即不需要使用者輸入 patterns 的方便性，然後利用正規驗證對 functional space 快速且完整的搜尋功能，將 input pattern 對於 delay 的影響力轉換成正規驗證引擎可以搜尋的 cost function，找出一組比 STA 的分析更精確的 delay pattern，然後反覆的搜尋，在正規驗證引擎內建的 functional learning 指引之下，快速的把搜尋過的 input patterns，以及引伸出來的 non-critical patterns 濾掉，最後找出一組最近似真實 IC delay 的 input pattern。

我們預計將本計畫分成三個 milestones，依三年來實現。第一年的研究重點為整合 Functional 與 Timing Domain 的分析模型，讓時序分析工具可以將分析的結果轉換成用來引導正規驗證引擎搜尋的資訊，而且也讓正規驗證引擎協助時序分析工具儘早計算出目前的最佳與最差的 delays；第二年預計完成 FSTA 演算法之雛形建置，並與 RTL front-end，邏輯合成(logic synthesis)，佈局與繞線(Place and Route)等工具結合，以期在設計流程中的各個階段測試本 FSTA 工具的實用性；在第三年我們將加入深次微米製程的效應，考慮如 signal integrity 以及 statistical timing model 等技術，並且研究將本計畫所研發的技術引伸至其它 IC 設計最佳化的領域如 Power Analysis，Design for Manufacturability 等等。

總而言之，我們提出的「正規靜態時序分析」(FSTA)演算法將結合了 Timing Analysis 以及 Functional Verification 領域的先進技術，在分析的精確度與驗證的複雜度中取得一個平衡，提供 IC 設計者一個更精確，更有效率的時序分析驗證工具。