

十一、研究計畫中英文摘要：請就本計畫要點作一概述，並依本計畫性質自訂關鍵詞。

(一) 計畫中文摘要。(五百字以內)

關鍵詞：兆級電晶體晶片系統 模擬 正規驗證 系統設計層級

隨著晶片設計的日趨複雜，以及單位面積電晶體數目的持續增加，在許多的調查統計中都發現，“設計驗證”已經成為設計流程中最花費人力與時間的一個步驟。因此，要面對未來兆級(Trillion-Scale)電晶體晶片系統 (System on a Chip)所帶來電路設計的挑戰，創新且有效率的設計驗證方法將會是一個不可或缺的元素。

直到目前為止，模擬(Simulation)仍是大家最常用的驗證方法。近年來，雖然有各式各樣的方法如 “Testbench Authoring”，“Assertion-Based Verification”，以及 “Transaction-Level Modeling” 等技術試圖來增加以模擬為主驗證方法的效率，然而，模擬的方法其複雜度在本質上還是隨著電路設計本身的複雜度成指數的增加(exponential growth)。因此，在面對日益複雜系統晶片的設計挑戰，純粹以模擬為主的驗證方法將無法提供足夠的驗證覆蓋率 (verification coverage)，而達到有效的驗證效果。

在另一方面，正規驗證(Formal Verification)是將電路設計轉換成正規的邏輯模型(model)，並將電路的規格(specifications)、屬性(attributes)等作一正規的描述(Formal Specification)，然後再利用證明(proof)的方法，來確認這正規的描述在此邏輯模型中是否永遠成立。不過，正規驗證其理論上的複雜度是相當高的。因此，到目前為止，除了一些特殊的應用如等效電路檢查(Equivalence Checking)等，在商用的設計自動化工具(commercial design automation tools)中獲得普遍的成功之外，大部分的正規驗證技術如 “Model Checking”、“Theorem Proving”等等並無法有效的運用到實際的電路設計上去。

由以上的論述可知，單以模擬或者是正規驗證的方法，是不足以面對日趨複雜的設計驗證挑戰。因此，我們預計開發一個結合模擬與正規驗證原理，取其各自的優點以補足彼此的缺點，並且可以在系統設計層級驗證的工具。